KPA XML 문서

페이지 1 / 1



KOREAN PATENT ABSTRACTS

(11)Publication

1020040026576 A

(43)Date of publication of application:

31.03.2004

(21)Application number: 1020020058120

(71)Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(22)Date of filing:

25.09.2002

(72)Inventor:

CHOI, JEONG HWAN

(51)int. CI

H03K 19/00

(54) SIMULTANEOUS BIDIRECTIONAL INPUT/OUTPUT CIRCUIT FOR IMPROVING DATA INPUT MARGIN

(57) Abstract:

PURPOSE: A simultaneous bidirectional input/output circuit for improving a data input margin is provided to increase the data input margin and regenerate: data by improving a structure of a bidirectional: input/output circuit.

CONSTITUTION: A simultaneous bidirectional input/output circuit for improving a data input margin includes a bus line(330), an input terminal(310), an output buffer(320), and an input buffer(350). Theoutput buffer(320) is connected between the bus line

(330) and the input terminal (310) in order to receive signals from the input terminal and transmit the signals to the bus line. The input buffer(350) is connected between the bus line(330) and the input terminal (310) in order to regenerate input signals by comparing two reference signals of three reference signals having different levels according to states of the signals of the input terminal and the input signals of the outside with the signals of the bus line determined by output signals of the output buffer.

© KIPO 2004

Legal Status

공개특허 제2004-26576호(2004.03.31) 1부.

[첨부그림 1]

10-2004-0026576

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

| (51) Int. Cl. ⁷ HOSK 19/00 | (11) 공개번호 10-2004-0028576 (43) 공개임자 2004년(3월31일 |
|--|--|
| (21) 출원변호 (22) 출원입자 | 10-2002-0058120 2002년 09휨 25일 |
| (71) 출원인 | 삼성전자주식회사 |
| (72) 발명자 | 경기도 수원시 영통구 매탄용 416 최정환 |
| | 경기도수원시팔당구민계룡366번지삼성마파트102-902 |
| (74) 마리인 | 이염짧 |
| 식사람구 : 었음 | |

(54) 데이터 입력 마진을 개선할 수 있는 동시 양병향 입출력회로

12 Q

대학 데이터 입력 마진을 증가시킨 동시 양병한 업목력 회로 및 데이터 검을 방법이 개시된다. 동시에 데이터 및 경송하고 수산하기 원한 데이터 입율력회로는 버스라인: 입력단자: 삼기 버스라인 및 상기 입력단자를 진송하고 수산하기 생한 데이터 입율력회로는 버스라인: 입력단자: 삼기 버스라인 및 상기 입력단자를 통하여 입력되는 물력통 신호을 수산하여 상기 버스라인으로 전송하는 합력버떠; 및 상기 바스라인 및 상기 입력단자에에 접속되고, 상기 입력단자를 통하여 입력되는 상기 합력보다 상기 인적단자를 통하여 입력되는 상기 관련 신호을 상대에 따라, 서로 다음 레벨을 갖는 세 계약 기준신호을 증에서 두개약 기준신호을 및 상기 데이터 입송력회로의 외부로부터 입력된 입력신호와 상기 총력버피의 울력신호에 의하여 결정된 장기 데이터 입송력회로의 외부로부터 입력된 입력신호와 상기 총력버피의 울력신호에 의하여 결정된 장기 선기관신호 관련생각의 신호를 비교하고, 상기 입력신호와 상기 총력배교를 구비한다. 상기 세 개의 기준신호를 제생하는 입력배교를 구비한다. 상기 세 개의 기준신호를 취해서 이는 하나의 기준신호는 나마지 가존신호들의 합의 철반이다. 본 발명에 따른 동시 양방향 입을 급화로 및 데이터 재생방법은 3개의 기준신호를과 출력될 신호로 입력신호 각각을 50성정도의 소형 마진 (swins marsin)를 가지고 검을하는 호교가 있다.

nas

통시 양방향 입중력회로(simultaneous input/output(I/O) circuit)

BAKE

医胆乳 发音器 增复

분 말명의 상세한 성명에서 민용되는 도면용 보다 충분히 이해하기 위하여 각 도면의 상세한 성명이 제공 된다.

- 도 1은 중래의 두 개의 동시 양방향 입출력회로를 구비하는 데이터 전송 시스템의 개략적인 블락도이다.
- 도 2는 도 1에 도시된 데이터 전승 시스템의 종작을 나타내는 타이밍도이다.
- 도 3은 본 발명의 실시에에 따른 중시 양방향 압출력회로의 개략적인 블락도이다.
- 도 4는 도 3에 도시된 입력버퍼의 제1회로도를 나타낸다.
- 도 5는 도 3에 도시된 입력버퍼의 제2회로도곱 나타낸다.
- 도 6은 도 3에 도시된 동시 양병향 입출적회로의 중작을 나타내는 타이밍도이다.
- 도 7은 본 발명의 실시에에 따른 동시 양방향 입출력회로를 구비하는 데이터 전송시스템의 개략적인 불략도를 나타낸다.
- 도 8은 도 7에 도시된 데이터 경송 시스템의 중작을 나타내는 타이빙도이다.

再高司 祭金县 無盈

雄母의 号琴

整理的 今哥是 刘金宝的 里 그 토아의 香菇刀盒

[첨부그림 2]

10-2004-0026576

은 망명은 반도체 장치에 관한 것으로, 보다 상세하게는 데이터를 통시에 주고받을 수 있는 용시 양병할 입출력회로(simultaneous bidirectional input/output(I/O) circuit) 및 상기 통시 양병할 입출력회로를 마용한 데이터 지생병법에 관한 것이다.

용사 양반한 업찰력최료를 구비하는 사스템은 동사에 동일한 데이터 배스 라인을 통하여 데이터를 주고받 을 수 있다. [마라서 미러한 사스템의 데이터 대역쪽(data bandwldth)은 배스의 크기(bus size)를 증가사 키지 않고 성질적으로 두 배로 증가되는 효과가 있다.

도 1은 중래의 두 개의 등시 양방합 입출력회로를 구비하는 데이터 전송 시스템의 개략적인 플락도미다. 도 1을 참조하면, 데이터 건송 시스템(100)은 제1등시 양방합 입출력회로(10) 및 제2등시 양방합 입출력 회로(60)를 구비한다. 제1등시 양방합 입출력회로(10) 및 제2등시 양방합 입출력회로(60)는 시스템 버스 라인(50)를 공통적으로 공유한다.

제 1층시 양방향 입출력회로(10)는 제1출력버퍼(20a), 제1입력버퍼(40a)를 구비하며, 제2층시 양방향 입출 역회로(60)는 제2출력버퍼(20b), 제2입력버퍼(40b)를 구비한다.

역회문(비)는 제2월역하며(CO), 제2월역하며(에)을 무하는다. 제1월역비퍼(20a)는 파트(11)을 용하여 입역되는 데이터(Dout1)을 사스템 버스라인(50)으로 드라이번한다. 제1입역비퍼(40a)는 패트(11)을 통하여 입역되는 데이터(Dout1)의 논리 상태(예컨내 하이 또는 로우)에 ((라 시스템 버스라인(50)상의 데이터(Din1)와 제1기준전압(Yref1) 또는 데이터(Din1)와 제 2기준전압(Yref2)을 수신하고, 배교하고 제2월역버퍼(20b)가 드라이방한 데이터(Dout2)명 검찰한다.

재2명력버퍼(20b)는 패드(11')를 통하며 입력되는 데이터(Dout2)를 시스템 바스라인(50)으로 드라이빙한 다. 제2입력버퍼(40b)는 패드(11')를 통하여 입력되는 데이터(Dout2)의 논리 상대(예컨대 하이 또한 로우)에 따라 시스템 바스라인(50)상의 데이터(Din2)와 제1기준전합(Vref1) 또는 데이터(Din2)와 제2기준전합(Vref2)를 수신하고 비교하며 제1점력버퍼(20a)가 드라이빙한 데이터(Dout1)를 검출한다.

시스템 버스라인(50)상의 데이터(Din1, Din2)의 레벨은 제1셯력버퍼(20b)의 협력신호 및 제2흡력버퍼 (20b)의 율력신호에 따라 결정된다.

도 2는 도 1에 도시된 데이터 건송 시스템의 등작을 나타내는 타이밍도이다. 도 1 및 도 2을 참조하여 데 이터 건송 시스템(100)의 등작을 상세히 설명하면 다음과 같다.

여기서, 제1기준전압(Yreft)은 입력되는 데이터(Dart), Dout2) 소왕의 75%정도로 설정되고, 제2기준전압 (Yref2)은 입력되는 GOI터(Dout), Dout2) 소왕의 25%정도로 설정된다.

지하는 모그의 다음에 사용하는 데이터(Dout1, Dout2)가 논리 하미(Nigh)인 경우, 제1업액버퍼(40a) 및 제2업력배대(40b)각각은 논리 하이인 각 데이터(Dout1, Dout2)에 용답하여 제1기준전압(Yrell)을 기준전압으로 각각 설정한다. 따라서 제1업력배패(20a) 및 제2업력배패(20b)의 중력산호는 논리 하이미므로, 시스템 버스라인(50)상의 전압(Ghnl, Din2)은 논리 하이이다.

제 [입력대표(40s) 및 제2입력대표(40s)각각은 하이인 시스템 배스 라틴(50)상의 전압(Din1, Din2)과 제 1 기준전압(Yref1)차이글 증폭하며 하이인 데이터(OUT1, OUT2)를 각각 검출한다.

기관(급(Tref))AGI을 등학하여 입력된 데이터(Doutt))가 논리 하이이고, 패드(II')를 통하여 입력되는 데이터 (Doutt)가 논리 로우인 경우, 제1입력비료(Obo)는 제1기준전압(Yref)을 기준전압으로 설정하고, 제2입력 비료 (Ob)는 제2기준전압(Yref2)을 기준전압으로 설정한다. 미때 시스템 버스라인(50)의 전압(Dini, Din2)은 데이터 하이(Yn)와 데이터 로우(VI)의 중간값(Vaid)을 갖는다.

제 1입력버떠(40a)는 제1기준진압(Vref1=0.75/h)과 시스템 버스라인(50)삼의 전압(Dint=Ymid)의 차이를 중 축하여 제2출력버퍼(20b)가 드라이빌한 로우(10æ)만 데이터(OUTI=Dout2)를 감출한다. 그러나 제2입력버퍼 (40b)는 제2기준진압 (Vref2-0.25Vh)과 시스템 버스라인(50)삼의 전압(Din2=Vmid)의 차이를 증축하여 제1 출력버퍼(20b)가 드라이빙한 논리 하이인 데이터(OUT2=Dout1)를 감출한다.

-각 데이터(Dout1, Dout2)의 상태에 따른 제1등시 양방향 압출력회로(10) 및/또는 제2동시 양방향 압출력 회로(50)의 등작은 당압자라면 용미하게 Obli할 수 있을 것이다.

증래의 제1동시 양방향 입음력회로(18) 및/또는 제2동시 양방향 입음력회로 (50)는 시스템 버스라인(500 중 통하여 입력되는 데이터를 각각 25%정도의 스윙 마건(swing margin)을 가지고 검중한다.

监狱的 的导现在 动长 刘金驾 通知

따라서 본 발명이 이루고자 하는 기술적인 과제는 데이터 입력 마진을 증가시킨 양방향 입출력 회로 및 데이터 감을 방법을 제공하는 것이다.

발명의 구성 및 작용

소기 기술적 관계를 당성하기 위한 본 발명에 따른 동시에 데이터를 전송하고 수신하기 위한 데이터 입합 택회로는 버스라인: 입력단자: 상기 버스라인 및 상기 업력단자사이에 접속되고, 상기 업력단자를 모하며 입력되는 골택될 신호를 수신하여 상기 버스라인으로 진송하는 협력버터: 및 상기 업력단자를 모하여 인적되는 골택될 신호를 수신하여 상기 버스라인으로 진송하는 협력버터: 및 상기 버스라인 및 상기 압력 단자시이에 접속되고, 상기 입력단자를 통하여 협력되는 상기 출력 신호의 상태에 따라, 서로 다른 제 별을 갖는 세 개의 기준신호들중에서 두개의 기준신호들 및 상기 데이터 접촉력회로의 외부로부터 입력된 업력신호와 상기 출력배패의 출력신호에 의하여 검정된 상기 버스라인상의 신호를 비교하고, 상기 입력신 호를 지생하는 입력배패를 구매한다.

상기 세 개의 기준신호멸중에서 어느 하나의 기준신호는 나머지 기준신호끝의 합의 절반이다.

상기 기습적 과제점 달성하기 위한 등시 양방양 입출력회로는 버스라인(330); 압력단자(310); 상기 입력 단자와 상기 버스라인사이에 접속되고, 상기 입력단자료 입력되는 움력질 신호를 수신하고 상기 버스라인 -- -- - [첨부그림 3]

로 전송하는 협력배표(320); 상기 입력단지와 상기 배스라인시에에 접속되고, 제1합력단자와 제2흡력단자 를 구비하고, 제1논리상태를 갖는 상가 중력별 신호(Dout)에 응답하여 상기 배스라인의 전압과 제1기준진 압사이의 전압차이를 증폭하거나 또는 상기 배스라인의 전압과 제2기준진압사이의 전압차이를 증폭하는 제1신호 검출회로(360); 일 상기 입력단자와 상기 배스라인시에에 접속되고, 상기 제1합력단자와 상기 제 운협단자에 각각 접속되는 제1출력단자와 제2협력단자를 구비하고, 제2호리상대를 갖는 상기 출력될 신호 호(Dout)에 응답하며 상기 배스라인의 전압과 상기 제2기준진압사이의 전압차이를 증폭하거나 또는 상기 배스라인의 전압과 제3기준진압사이의 전압차이를 증폭하는 제2신호 검합회로(380)를 구비한다.

살기 버스라인의 진압은 상기 품력버퍼의 충력신호 및 상기 법으로회로의 외부로부터 상기 버스라인로 입력되는 입력신호에 의하여 결정된다.

역되는 합역신호에 의하며 결정된다.
삼기 기급적 과제를 담성하기 위한 동시 양병향 입중력회로는 버스라인; 입력단자; 삼기 입력단자와 삼기 버스라인사에에 집속되고, 삼기 입력단자로 입력되는 중력을 신호를 수신하고 삼기 버스라인로 진술하는 광택배대; 및 삼기 배스라인과 삼기 입력단자사이에 병혈로 접속되는 제1선호 검출회로 및 제2선호 검을 회로를 구비하며, 삼기 제1선호 검찰회로는 제1논리 상태를 갖는 삼기 울력을 신호에 응답하여 삼기 입력 행코를 기병부로부터 업력된 입력신호 및 삼기 중력배대의 흥력신호에 의하여 경정된 삼기 배스라인의 전 입과 제1기준진압사이의 전압차이를 증택하여 삼기 입력신호를 검출하거나 또는 삼기 배스라인의 전압과 제2기준진압사이의 전압차이를 증택하여 삼기 입력신호를 검출하기나 또는 삼기 배스라인의 전압과 제2기준진압사이의 전압차이를 증택하여 삼기 입력신호와 삼기 품역배대의 출력신호에 의하여 출정된 삼 기 배스라인의 전압과 제2기준진압사이의 전압차이를 증력하여 삼기 입력신호를 검출하거나 또는 삼기 배 스라인의 전압과 제3기준진압사이의 전압차이를 증력하여 삼기 입력신호를 검출하거나 또는 삼기 배 스라인의 전압과 제3기준진압사이의 전압차이를 증력하여 삼기 입력신호를 검출하거나 또는 삼기 배 스라인의 전압과 제3기준진압사이의 전압차이를 증력하여 삼기 입력신호를 검출하거나 또는 삼기 배 스라인의 전압과 제3기준집압사이의 전압차이를 종력하여 삼기 입력신호를 검출하거나 또는 삼기 배 사업 제4세요 제4호로는 제4호로드 및 공존되었다. 기 시설 배스레임의 지역 및 삼기 제1기주진

소리산의 선립화 제3기본건합자에의 운영하다 등 역에 다시 합니다 보통 합리에의 전압 및 상기 제1기준진 상기 제1신호 검솔회로는 제1출력단 및 제2출력단용 구비하고, 상기 배스라인의 전압 및 상기 제1기준진 압차이용 증폭하는 제1차등증폭기, 및 상기 제1차등증폭기의 제1출력단 및 제2출력단에 각각 점속되는 제 1출력단 및 제2출력단을 구비하고, 상기 배스라인의 전압 및 상기 제2차등증폭기의 전1출력단 및 제2출력단에 각각 건치등증폭기를 구비하며, 상기 제2선호 검솔회로는 상기 제1차등증폭기의 제1출력단 및 제2출력단에 각각 검속되는 제1출력단 및 제2출력단을 구비하고, 상기 배스라인의 전압 및 상기 제2기준진암사이의 차이를 증폭하는 제2차등증폭기, 및 상기 제1차등증폭기의 제1출력단 및 제2품역단에 각각 전속되는 제1출력단 및 제2품력단을 구비하고, 상기 배스라인의 전압 및 상기 제3기준진암사이의 차이를 중폭하는 제4차등증 폭기를 구비한다. 상기 제2기준진압은 상기 제1기준진압 및 제3기준진암사이의 차이를 중폭하는 제4차등증 폭기를 구비한다. 상기 제2기준진압은 상기 제1기준진압 및 제3기준진암사이의 참의 합보이다.

역기함 구마인다. 경기 제2기업업급은 경기 제기업업급을 복제2기업업급을 합니 합니다. 상기 기술적 과제를 당성하기 위한 등시 양반한 입출력회로는 버스라인; 입력단자: 상기 입력단자와 상기 버스라인사이에 접속되고, 상기 입력단자로 입력되는 출력신호를 수산하고 상기 버스라인으로 전송하는 행력버대: 제1상태의 플력신호에 응답하여 활성화되고, 제1출력단 및 제2플력단을 구비하고, 제1입력단, 제21업적단 및 제21업력단 제1차등증즉기: 및 제2상태의 상기 출력신호에 응답하며 참성화되고, 상기 제1차를 증폭기의 제1출력단 및 상기 제22절력단에 각각 접속되는 제1출력단 및 상기 제2점 당을 구 나하고, 제4입력단, 제5입력단 및 제6입력단을 구비하는 제2차등증증기를 구비하며, 상기 배스라인상의 신호와 제1가중신호의 차이는 상기 제1입력단 및 상기 제2입력단으로 공급되고, 상기 배스라인상의 신호 와 제2기중신호의 차이는 상기 제1입력단 및 상기 제3입력단으로 공급되고, 상기 배스라인상의 신호와 제 3기준신호의 차이는 상기 제4입력단 및 상기 제6입력단으로 공급되고, 상기 배스라인상의 신호와 제 3기준신호의 차이는 상기 제4입력단 및 상기 제6입력단으로 공급되고, 상기 배스라인상의 신호와 제 2기준신호의 차이는 상기 제4입력단 및 상기 제6입력단으로 공급되고, 상기 배스라인상의 신호와 제 2기준신호의 차이는 상기 제4입력단 및 상기 제6입력단으로 공급되고,

상기 제2기준선호는 상기 제1기준신호 및 상기 제3기준신호의 합의 절반이다.

경기 제기는으로는 경기 제기를 단점 및 경기 제기는으로의 함의 발견이다. 상기 다른 기습적 과제를 답성하기 위한 등시 양병호 압괄력회로에서 하나의 입력신호와 세 기준신호흡로 부터 대이터를 재생하는 방법은 선택신호에 용답하여 상기 세 기준신호흡증에서 제1기준신호 및 제2기준 신호흡 연락하기나 또는 실기 세 기준신호합동에서 상기 제2기준신호 및 제3기준신호의 자이를 증적하 성기 제1기준신호 및 제2기준신호가 선택되는 경우, 상기 입력신호와 상기 제1기준신호의 차이를 증적하 여 상기 입력신호를 재생하거나 또는 상기 합력신호와 상기 제2기준신호의 차이를 증적하여 상기 입력신호 상기 제2기준신호 및 제3기준신호의 차이를 증적하여 상기 입력신호 공기 제2기준신호 및 제3기준신호의 차이를 증적하여 상기 입력신호 등 제생하거나 또는 상기 합력신호와 상기 제2기준신호의 차이를 증적하여 상기 입력신호을 제생하는 단계를 기업적신호 등 제생하거나 또는 상기 합력신호를 제생하더나 또는 경기 제3기준신호의 차이를 증적하여 상기 입력신호를 제생하는 단계를 구비한다.

상기 입력신호는 삼기 동시 양방향 입출력회로의 외부로부터 입력되는 신호이다.

본 발명과 본 방명의 등작상의 이정 및 본 방명의 실시에 의하여 달성되는 목작은 충분히 아해하기 위해 서는 본 발명의 바람직한 실시예를 예시하는 청부 도면 및 정부 도면에 기제된 내용을 참조하여이만

이하, 청부한 도면을 참조하며 본 방명의 바람직한 실시예를 성명한으로써, 현 방명을 상세히 성명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 3은 본 방명의 실시여에 따른 용시 양방향 합협력회로의 개략적인 등락도이다. 도 3을 참조하면, 본 방명에 따른 용시 양병향 압출력회로(300)는 奋력배퍼(320) 및 압력배퍼(350)을 구배한다.

출력배퍼(320)는 버스라인(330)과 입력단자(310)시[0]에 접속되고, 입력단자(310)을 통하며 입력되는 출력 팅 신호(to-be-transmitted output signal; Bout)을 수신하고, 배페링하고 버스라인(330)으로 전송한다. 끌택팀 신호(Cout)는 논리 하이 또는 논리 로우이다.

입력비대(350)는 배스라인(350)과 입력단자(310)사이에 접속되고, 압력단자 (310)를 통하여 입력되는 글 역할 산호(Dout)의 논리상태(3)이 또는 로우)에 따라, 서로 다른 래벌을 갖는 새 개의 기준진압을(Vreft, Vrefn, Vreft)용에서 두개의 기준진압을(Vreft와 Vreft, Vreft과 Vreft) 및 때마터 입音력질로(300)의 외 부로부터 교드(340)를 통하여 입력되는 압력선호(IN)와 음력될 선호(Dout)에 의하여 급정된 배스라인 (330)상의 선호(Din)을 비교하고, 패드(340)를 통하여 입력되는 압력산호(IN)를 재생한다.

패키자 핀(미 도시)에 접속되는 패드(340)는 데이터 버스 라민(330)에 접속된다.

-[첨부크림-4]---- - - - - -

10-2004-0025576

입력HIH(350)는 업력단자(310)와 H스라인(330)사이에 병렵로 접속되는 제1선호검출회로(360) 및 제2선 호검출회로(360)을 구비한다. 제1선호검출회로(360)는 제1논리상태(여컨대 610))을 갖는 출력될 신호 (Boot)에 용답하여 버스라인(350)상의 전압(Din)과 제1기준전압(Vraff)사이의 전압자이를 증축하거나 또 는 버스라인(350)상의 전압(Din)과 제2기준전압(Vraff)사이의 전압자이를 증축하고, 증폭된 결과통 제1 출력단(OUT)과 제2철역단(OUTB)으로 중력한다.

제2선호경출회로(380)는 제1선호검합최로(380)의 제1합덕단(OUT)과 제2합덕단(DUTB)에 각각 접숙되는 제1합덕단과 제2합력단을 구비하고, 제2논리상태(예컨대 로우)를 갖는 율덕형 신호(Dout)에 용당하여 버스라 인(380)상의 진압(Din)과 제2기준전압(Vreil)사이의 견압서이함 중축하기나 또는 버스라인(380)상의 전압 (Din)과 제3기준전압(Vreil)사이의 전압차이를 중폭한다. 각 신호 검출회로(380, 390)는 차등중폭기로 구현되는 것이 바람작하다.

마기서 제1기준진압(YrefH)은 입력데이터(IN)의 하이레벨로 정의하고, 제3기준진압(YrefL)은 입력데이터 (IN)의 로우래벨로 정의하고, 자기준진압(YrefH)은 제1기준진압(YrefH)과 제3기준진압(YrefL)의 합의 점 반겐벨로 정의된다. 부면하면, 제2기준진압(YrefH)은 압력 데이터(IN)의 스윙의 정반, 전 VrefH-(YrefH-YrefL)/2인 것이 바탕격하다.

도 4는 도 3에 도시된 입력버퍼의 제1회로도를 나타낸다. 도 4분 참조하면, 입력버퍼(350)는 제1신호 검 출회로(360) 및 제2신호 검출회로(380)를 구비한다.

제1신호 검출회료(360)는 차등중목가열(369, 371), 다수개의 MOS 트랜지스터를(381, 373, 375) 및 저항물 (365, 367)을 구비한다.

NMOS 트랜지스터(361)는 전원전압(YDD)과 노드(363)사이에 접속되고, NMOS 트랜지스터(361)의 게이트로 출력할 신호(Dour)가 입력된다. 거합(365)은 노드(363)와 제2출력당(OUTB)사이에 접속되고, 저합(367)은 노드(363)와 제1출력단 (OUT)사이에 접속된다.

NMOS 트랜지스터(369.1)는 제1합력단(OUT)과 노드(NDI)사이에 접속되고, 제2기준전압(VrefN)은 NMOS 트랜 지스터(369.1)의 개이트로 입력된다. NMOS 트랜지스터 (369.2)는 제2환력단(OUTB)과 노드(NDI)사이에 접 속되고, 버스라면(330)상의 전압 (Din)은 NMOS 트랜지스터(369.2)의 게이트로 압력된다.

NMOS 트랜지스터(371_1)는 제2늄텍단(OUTB)과 노트(MOS)사이에 접속되고, 버스라인(330)상의 전압(OIn)은 NMOS 트랜지스터(371_1)의 게이트로 압력된다. NMOS 트랜지스터(371_2)는 제1출탁단(OUT1)과 노트(MOS)사 이에 접속되고, 제1기준전압 (YrefH)은 NMOS 트랜지스터(371_2)의 게이트로 압력된다.

NMOS 트랜지스터(373)는 노드(NDI)와 집지전원(YSS)사이에 접속되고, HOIDH스 전압(bias)은 NMOS 트랜지스터(373)의 게이트로 압력된다. NMOS 트랜지스터(375)는 노드(ND3)와 접지전원(YSS)사이에 접속되고, 바이머스 전압(bias)은 NMOS 트랜지스터(375)의 게이트로 압력된다.

제2신호 건출회로(380)는 차용증쪽기들(389, 391), 다수개의 MOS 트랜지스터록(381, 393, 395) 및 저항醬 (385, 387)을 구비한다.

PMOS 트랜지스터(381)는 견원진압(VDD)과 노드(383)사이에 집속되고, PMOS 트랜지스터(381)의 게이트로 출력될 신호(Dout)가 압력된다. 저항(385)은 노드(383)와 제1출력단(OUT)사이에 점속되고, 저항(387)은 노드(383)와 제2출력단 (OUTB)사이에 접속된다.

NMOS 트랜지스터(389_1)는 제2합역단(DUTB)과 노트(NOS)사미에 접속되고, 버스라인(330)상의 전압(Din)은 MOS 트랜지스터(389_1)의 게이트로 입력된다. NNOS 트랜지스터(389_2)는 제1합력단(DUT)과 노트(NDS)사 DI에 접속되고, 제2기준전압 (Yrefk)은 NNOS 트랜지스터(389_2)의 게이토로 입력된다.

NNOS 트랜지스터(391_1)는 제1층력단(OUT)과 노드(ND?)사이에 접속되고, 제3기준전압(Vreft)은 NNOS 트랜지스터(391_1)의 게이트로 압력된다. NNOS 트랜지스터 (391_2)는 제2ጵ략단(OUTB)과 노드(ND?)사이에 접속되고, 버스라인(330)상의 전압 (Din)은 NNOS 트랜지스터(391_2)의 게이트로 압략된다.

MMOS 트랜지스터(393)는 노드(MD5)와 접지전원(VSS)사이에 접속되고, 바이어스 전압(bias)은 MMOS 트랜지스터(393)의 게이트로 입력된다. MMOS 트랜지스터 (395)는 노드(MD7)와 접지전원(VSS)사이에 접속되고, 바이어스 전압(bias)은 MMOS 트랜지스터(395)의 게이트로 압력된다.

도 5는 도 3에 도시된 압력버퍼의 제2청로도를 나타낸다. 도 5를 참조하면, 압력버퍼(350)는 제1신호 검 합회로(380) 및 제2신호 검합회로(380)를 구비한다.

제1신호 검출회로(380)는 처음증폭기(565, 567), 다수개의 NAIOS 트랜자스터들(569, 571, 573, 575) 및 저 방출(561, 563)를 구비한다.

지합(561)은 전원전압(VDD)과 제2출력단(OUTB)사이에 접속되고, 저합(563)은 전원전압(VDD)과 제1출력단 (OUT)사이에 접속된다.

MIOS 트렌지스터(565_1)는 제1출력단(DUT)과 노드(NDI1)사이에 접속되고, 제2기훈전압(Vrel#)은 MAOS 트 렌지스터(565_1)의 게이트로 압력된다. MAOS 트렌지스터(565_2)는 제2출력단(DUTB)과 노드(NDI1)사이에 접속되고, 버스라인(330)상의 전압(Din)은 MAOS 트렌지스터(565_2)의 게이트로 압력된다.

HMOS 트런지스터(567_1)는 제2출력단(OUTB)과 노드(MO13)사이에 접속되고, 버스라인(330)상의 전압(Din) 은 NAOS 트랜지스터(567_1)의 게이트로 입력된다. HMOS 트랜지스터(567_2)는 제1출력단(OUT)과 노드 (MD13)사이에 접속되고, 제1기준전압(VrefH)은 NMOS 트랜지스터(567_2)의 게이트로 입력된다.

노드(NOII)는 직례로 접속된 NMOS 트랜지스터들(569, 573)을 통하여 절자전압(YSS)에 접속되고, 출력됩 신호(Dout)는 NMOS 트랜지스터(569)의 게이트로 압력되고, 바이어스 전압(blas)은 NMOS 트렌지스터(573) 의 게이트로 압력된다.

노드(ND13)는 직理로 접속된 NHOS 트런지스터큠(571, 575)를 통하여 접지잔압(VSS)에 접속되고, 슐릭탈

[첨부그림 5]

10-2004-0026576

신호(Dout)는 MMOS 트랜지스터(571)의 게이트로 입력되고, 바이어스 전압(blas)은 NAOS 트런지스터(575) 의 게이트로 입력된다.

제2선호 건협회로(380)는 차등 증찍기렴(595,597), 다수개의 MMCS 트렌지스타를(509,591,593,595) 및 제합률(501,593)률 구비한다.

지합(581)은 전원전압(YDD)과 제1출력단(OUT)사이에 접속되고, 저합(583)은 전원전압(YDD)과 제2출력단 (OUTB)사이에 접속된다.

MNOS 트런지스터(685_1)는 제1행력단(OUT)과 노드(MD15)사이에 접속되고, 제2가준전압(VrefM)은 NNOS 트 캠지스터(685_1)의 게이트로 입력된다. MNOS 트랜지스터(585_2)는 제2합력단(OUTB)과 노드(MD15)사이에 접속되고, 버스라면(330)상의 전압(Din)은 NNOS 트랜지스터(585_2)의 게이트로 입력된다.

NMOS 토런지스터(597_1)는 제2월력단(OUTB)과 노드(ND17)사이에 접속되고, 버스라인(330)상의 전압(Din)을 NMOS 트런지스터(597_1)의 게이트로 입력된다. NMOS 트런지스터(597_2)는 제1용력단(DUT)과 노드(ND17)사이에 접속되고, 제3기준전압(VrefL)은 NMOS 트런지스터(597_2)의 게이트로 입력된다.

노드(ND15)는 직명료 접속된 MOS 트랜지스터를(989, 593)을 통하며 절지진압(YSS)에 접속되고, 新택된 산 호(Nout)는 PMOS 트랜지스터(589)의 게이트로 압력되고, 바이머스 전압(blas)은 #MOS 트랜지스터(593)의 게이트로 압력된다.

노드(MD17)는 직접로 접속된 MDS 토랜지스터용(RB1, 596)을 통하여 접지진압 (YSS)에 접속되고, 용력됩 신호(Dout)는 PMDS 트랜지스터(591)의 게이트로 답력되고, 바디어스 전압(bias)은 MMDS 트랜지스터(595) 의 게이트로 입력된다.

도 6은 도 3에 도시된 용시 양방향 입출력회로의 통작을 나타내는 타이밍도이다. 도 3, 도 4 및 도 6을 참조하며 용시 양방향 입출력회로(300)의 등작을 설명하면 다음과 많다. 이 경우 바이어스 전압(bias)은 하네라고 가정한다.

구간 AG 보면, 입력단자(310)를 통하며 입력되는 용력될 산호(Bout)가 논리 하이이므로, 제1산호 검영회 로(360)는 참성하되고, 제2산호검증회로(380)는 비활성화된다. (대라서 함텍답 산호(Dout)는 제1산호 검증 회로(360) 및 제2산호검증회로 (380)중에서 머느 하나중 활성화시키기 위한 선택산호로 사용된다.

패드(340)를 통하여 통시 양반향 입용적최로(300)의 외부로부터 입력되는 입력신호(IN)가 논리하이인 콩 무, 버스라인(330)상의 산호(Din)의 레벨은 제1기문전합(Vreff)의 레벨과 동양하다. 따라서 차등중격기 (369)는 버스라인(330)상의 전압 (Dine-Vreff)과 제2기준전압(Vreff)사미의 전압차이를 증축하고, 증축된 차등산호활素 제1음력단(WIT) 및 제2음력단(WITB)으로 합력한다. 이때 제1음력산호(WIT)는 논리하이이다.

그간 8을 보면, 물턱될 선호(Dout)는 논리하이이고 입력신호(IN)는 논리로우이다. (C)라서 버스라인(330) 상의 진압은 논리하이와 논리로우의 할의 중간값, 즉 제2기군전압과 동말하다. (C)라서 차용증력기(371)는 버스라인(330)상의 전압 (Din-Vref#)과 제1기준전압(Vref#)사이의 전압차이를 중력하고, 충족된 차용신호 클음 제1물턱단(OUT) 및 제2출력단(OUTB)으로 울락한다. 이때 제1물력신호(OUT)는 논리로우이다.

구간 C를 보면, 괄력웹 산호(Dout)는 논리로우이고, 업력산호(IN)는 논리하이이다. (마라서 제1산호 검출 최로(360)는 비광성화되고, 제2산호 검출회로(380)는 황성화된다. 그리고 버스라인(330)상의 전함(OIn)은 본리로우인 육력웹 산호(Dout)와 논리하이인 압력산호(IN)의 합의 중간값, 즉 제2기준전합(VrefN)으로 된

다. (마라서 첫등중쪽기(391)는 버스라인(330)상의 전압(Din-Yref#)과 제3기준전압(YrefL)사이의 전압차이를 음쪽하고, 중쪽된 차용신호품을 제1율력단(OUT) 및 제2B력단(OUTB)으로 출력한다. 이때 제1플릭신호 (OUT)는 논리하여이다.

구간 D등 보면, 윤덕림 신호(Dout)는 논리로우이고, 압력신호(IN)는 논리로우이다. (D라서 제1선호 검출 회로(360)는 비활성화되고, 제2신호 검출회로(360)는 활성화된다. 그리고 버스라인(330)상의 전압(Din)은 논리로우, 제3기준전압(Yreft)으로 된다.

때라서 차등증찍기(388)는 버스라인(330)상의 전압(Din=YrefL)과 제2기준전압(VrefM)사이의 전압차미급 증폭하고, 증찍된 차등신호등을 제1출력단(OUT) 및 제2출력단(OUTB)으로 클릭한다. 이때 제1출력신호 (OUT)는 논라로우이다.

는 방명에 따쁜 동시 양병향 입합력회로(300)는 입력 데이터(IN)을 각각 50%의 스윙 마진을 가지고 검출 하는 효과가 있다.

도 3, 도 5 및 도 6층 참조한 등시 양방향 입출력회로(300)의 등작은 도 3, 도 4 및 도 6층 참조한 동시 양방한 입출력회로(300)의 등작과 동양하다. ID라서 미에 대한 상세한 동작 설명은 생략한다.

도 7은 된 발범의 실시에에 따른 동시 양방향 입출력회로를 가내하는 데이터 전송시스템의 개략적인 클락 도괄 나타낸다. 도 7의 데이터 전송시스템(?00)은 제 비난도체 장치에 장착되는 제 동시 양방향 입출력회로 (300), 제 2만도체 장치에 장착되는 제2동시 양방향 입출력회로(300') 및 시스템 버스라인(또는 채념이라한다; 750)을 구비한다.

소기 강각의 반도체 장치는 다수개의 동시 양방향 입출력회로를 구내하고, 각 반도체 장치에 장착되는 각 동시 양방향 입합력회로는 대응되는 시스템 버스라인화 통하여 서로 데이터를 동시에 주고받는다.

그러나 도 7의 데미터 건승 시스템(700)은 설명의 편의를 위하여 제1동시 양방향 입을릭회로(300), 제2동 시 양방향 입음력회로(300') 및 시스템 버스라인(750)만을 도시한다.

제1동시 양방향 입출력회론(300)는 제1출력버퍼(320) 및 제1입력버퍼(350)을 구비하고, 제2동시 양방향 입출력회론(300')는 제2돌력버퍼(320') 및 제2입력버퍼 (350')를 구비한다. 제2동시 양방향 입출력회로 - - [정부그림 6]

10-2004-0026576

(300')의 구조 및 등작은 도 3에 도시된 동시 양병향 입출력회로(300)의 구조 및 동작과 동일하다.

도 8은 도 7에 도시된 데이터 건송 시스템의 용작을 나타내는 타이밍도이다. 도 4, 도 7 및 도 8읍 참조하면, 데이터 건송 시스템(700)의 용작은 다음과 같다.

우선, 때도(310)를 통하며 압력되는 데이터(Dourt) 및 패도(310')를 통하며 압력되는 데이터(Dourt2)가 각 각 논리 하이인 경우, 제1물럭버퍼(320) 및 제2출력버퍼(320')는 각각 논리 하이면 데이터(Dourt), Dourt 2)를 대용되는 버스라면(330, 330')로 협력한다.

도 4에서 설명한 바와 같이, 제임액바퍼(350) 및 제2인력바퍼(350) 의 각 제1신호 검탈회로(350)는 참성 참되고, 제2신호 검찰회로(380)는 비활성화된다. 따라서 제1입력바퍼(350) 및 제2입력바퍼(350) 각각은 제2기중전합(Vroff)과 버스라인(330, 330) 상의 데이터(Olni, Dia2)를 수건하고, 제2기준진합(Vroff)과 버스라인(330, 330) 상의 데이터(Olni, Dia2)의 차이를 품폭하고, 각각 논리 하이면 데이터(Olli)=Dout2, 데12~Dout1)을 검찰한다.

패드(310)을 통하며 입력되는 데이터(Dout1)가 논리 하이이고, 패드(310')을 통하며 입력되는 데이터 (Dout2)가 논리 모유인 경우, 버스라인(330, 330')상의 데이터(Dinl, Din2)의 레벨은 논리 하이와 논리 보우의 중간값을 갖는다.

도 4에서 설망한 비와 같이, 제1입력버마(350)의 제1신호 검출회로(360)는 환성화되고, 제2신호 검출회로 (380)는 비환성화된다. (미라서 제1입력버마(350)는 제1기준전합(YrefH)과 버스라인(330)상의 데이터 (미네)를 수건하고, 제1기준전합 (YrefH)과 버스라인(330)상의 데이터(미네)의 차이를 증폭하고, 제2합력 버파(320')가 참력한 논리 로우인 데이터(OUT)=Dout2)를 검호한다.

또한, 제2입력배표(350')의 제1신호 검증회로(360)는 비활성화되고, 제2신호 검증회로(380)는 활성화된다. (D라서 제2입력배표(350')는 제3기준전암(YrefL)과 배스라민(330)성의 대이터(Din2)를 수신 하고, 제3기준진암(YrefL)과 배스라인(330)성의 데이터(Din2)의 차이를 중독하고, 제1승력배표(320)가 중 역한 논리 하미인 데이터(OUT2-Dourl)을 검출한다.

패드(310)월 용하여 입력되는 데이터(Dout1)가 논리 분우이고, 패드(310')을 용하여 압력되는 데이터 (Dout2)가 논리 하네인 경우, 버스라인(330, 330')성의 데미터(Olni, Din2)의 레벨은 논리 하네와 논리 로우의 중간값, 즉 Dini-리n2-(Dout1+Dout2)/2 를 갖는다.

도구리 중인회, 역 IIIII의III본(IOOCT POECIC)/ 열 찾은다. 도 4에서 설명한 바만 같이, 제1입력버터(350)의 제1선호 검출회로(360)는 비참성화되고, 제2선호 검출회 로(380)는 활성화된다. [II근서 제1입력버턴(350)는 제3기준진압(Yrefl)과 버스라인(330)상의 데이터 (Dinl)을 수선하고, 제3기준진압 (Yrefl)과 버스라인(330)상의 데이터(Dinl)의 차이를 중폭하고, 제2륨택 버턴(320')가 움력한 논리 하이인 데이터(OUTI-Dout2)를 검출한다.

또한, 제2입력내대(350')의 제1선호 검출회로(380)는 활성화되고, 제2선호 검출회로(380)를 1활성화되고, 제2선호 검출회로(380)를 비활성화된다. 따라서 제2업력대대(350')는 제1기준진압(Yrefl)과 버스라민(330)상의 대이터(미소)의 차이급 증폭하고, 제1출력대대(320)가 접력한 논리 로무민 데이터(OJT2=Dout1)를 검출한다.

(마라서 본 발명에 따른 당시 양방향 입황역회로 및 미월 구비하는 시스템은 입력데미터를 ROM정도의 스윙 마진을 가지고 검출하므로, 공리치(alitch)에 영향을 답 받는다.

는 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야 의 통상의 지식을 가진 지라면 이로부터 다양한 변형 및 균용한 타 설시예가 가능하다는 점을 이해할 것 이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 참부된 등목청구범위의 기술적 사상에 의해 장해져 야 할 것이다.

상습한 바와 많이 본 발명에 따른 동시 양병할 입출력회로 및 데이터 재생방법은 3개의 기준신호롭과 출 템웹 신호로 입력시호 각각을 507점도의 스윙 마건(swing morein)을 가지고 검출하는 효과가 있다.

(५४) ग्रन्थ प्रश

当学数 1

등시에 데이터를 진승하고 수신하기 위한 데이터 입출력회로에 있어서.

버스라인;

입렀다자:

상기 버스라인 및 상기 입력단자사여에 접속되고, 상기 입력단자를 통하며 입력되는 협력될 신호를 수신 하며 상기 버스라인으로 접승하는 결력버퍼: 및

상기 버스라인 및 상기 입력단자시이에 접속되고, 상기 입력단자를 통하며 입력되는 상기 품력을 신호의 상대에 따라, 서로 다른 레벨을 갖는 세 개약 가준신호등중에서 투개의 기준신호를 및 상기 데이터 입을 먹취로의 외부로부터 입력된 입력신호와 상기 출력버피의 출력신호에 의하여 결정된 상기 버스라인상의 신호를 비교하고, 상기 입력신호를 재생하는 입력버피를 구비하는 것을 특징으로 하는 데이터 입물력 회 로

원구한 2

제1항에 있어서, 상기 세 개의 가준신호물중에서 어느 해나의 기준신호는 나머지 기준신호등의 합의 정반

- - [첨부그림 7]-

10-2004-0026576

인 것을 욕장으로 하는 데이터 입습력회로.

원구한 3

동시 양방향 입출력회로에 있어서,

버스라만(330);

입력단자(310);

상기 입력단자와 상기 버스라인사이에 접속되고, 상기 입력단자로 입력되는 출력행 신호를 수신하고 상기 버스라인ᄧ 전송하는 출력배퍼(320);

MARGER JOHNSON

상기 입력단자와 상기 버스라인사이에 접속되고, 제1흡력단자와 제2흡력단자를 구비하고, 제1본리상태를 갖는 상기 출력될 산호(Datr)에 용답하여 상기 버스라인의 전압과 제1기준전압사이의 전압차이를 증폭하 거나 또는 상기 버스라인의 전압과 제2기준전압사이의 전압차이를 증폭하는 제1신호 검출회로(360): 및

상기 입력단자와 삼기 버스라인사이에 집속되고, 상기 제1월력단자와 상기 제2명력단자에 각각 접속되는 제1월력단자와 제2명력단자를 구비하고, 제2논리상태를 갖는 상기 명력될 선호(Dout)에 용답하며 상기 버스라인의 전압과 상기 제2기준전입사이의 전압차이를 중폭하거나 또는 상기 버스라인의 전압과 제3기준전입사이의 전압차이를 중폭하는 제2신호 검융회로(380)를 구비하는 것을 퇴정으로 하는 입육적회로.

제3항에 있어서, 삼기 버스라인의 전압은 상기 출력버퍼의 출력신호 및 상기 압출력회로의 외부로부터 상 기 버스라인로 압력되는 압력신호에 의하여 결정되는 것을 특징으로 하는 입출력회로.

평사 양방향 입품력회로에 있어서,

비스라인;

입력단자;

상기 입력단자와 상기 버스라인사이에 접속되고, 상기 입력단자로 입력되는 출력함 산호를 수신하고 상기 버스라인로 전송하는 출력버퍼; 및

상기 버스라인과 상기 입력단자사이에 병령로 접속되는 제1신호 검출회로 및 제2신호 검출회로를 구비하 대.

상기 제1산호 검물회로는 제1논리 상태를 갖는 상기 출력될 신호에 용답하여 상기 입물력회로의 외부로부터 입력된 입력신호 및 상기 충력배터의 습력신호에 의하여 결정된 상기 버스라인의 전압과 제1기준전압 사이의 전입차이를 증폭하여 상기 입력신호를 검출하거나 또는 상기 버스라인의 전압과 제2기준전압사이의 전압차이를 증폭하여 상기 입력신호를 검출하고,

상기 제2선호 검융회로는 제2는라 상태를 갖는 상기 충력을 선호에 용답하며 상기 입력신호와 상기 출력 대표의 출력선호에 약하며 결정된 상기 배스라인의 전압과 제2기준전압사이의 전압차이를 증폭하여 상기 입력신호를 검습하거나 또는 상기 배스라인의 전압과 제3기준전압사이의 전압차이를 증폭하여 상기 입력 신호를 검습하는 것을 특징으로 하는 데이터 입출력회로.

원구한 6

제5항에 있어서, 상기 제1신호 검출회로는,

제1울리단 및 제2출력단을 구비하고, 상기 배스라인의 전압 및 상기 제1기준전압차이를 증폭하는 제1차용 용폭기; 및

상기 제1차등중쪽기의 제1총력단 및 제2달력단에 각각 접속되는 제1중력단 및 제2중력단을 구비하고, 상 기 버스라인의 전압 및 상기 제2가준전압사이의 차이를 중록하는 제2차등중폭기를 구비하며,

상기 제2신호 검출회로는,

상기 제1차통증촉기의 제1합력단 및 제2함력단에 각각 접속되는 제1함력단 및 제2音력단을 구비하고, 상 기 버스라인의 전압 및 상기 제2기준전압사이의 차미율 증촉하는 제3차등증촉기; 및

상기 제1차등중폭기의 제1출력단 및 제2출력단에 각각 접속되는 제1출력단 및 제2출력단출 구비하고, 상 기 배스라인의 건앙 및 상기 제3기준진암사이의 차이를 중록하는 제4차등증폭기를 구비하는 것을 특징으로 하는 데이터 압괄력회로.

청구항 ?

제5할에 있어서, 상기 제2기준진압은 상기 제1기준진압 및 제3기준진압의 합의 점반인 것을 목징으로 하는 데이터 압융력화로.

청구함 8

풍시 양병향 입찰력회로에 있어서,

바스라인;

입력단자:

[첨부그림 8]

10-2004-0026576

상기 입력단지와 상기 버스라인사미에 접속되고, 상기 입력단자로 입력되는 중력산호를 수산하고 상기 버 소리인으로 진속하는 중력배터:

제(상태의 물력신호에 응답하며 활성회되고, 제1성력단 및 제2월력단층 구비하고, 제1입력단, 제2입력단 및 제3입력단층 구비하는 제1차등증폭기; 및

제2상대의 상기 출력신호에 용단하여 환성화되고, 상기 제1차등 증폭기의 제1출력단 및 상기 제2출력단에 각각 접속되는 제1출력단 및 상기 제2출력단출 구비하고, 제4입력단, 제5입력단 및 제5입력단을 구비하는 제2차등증폭기를 구비하며,

상기 배스라인상의 신호와 제기주신호의 차이는 상기 제1입력단 및 상기 제2입력단으로 공급되고, 상기 배스라인상의 신호와 제2기준신호의 차이는 상기 제1입력단 및 상기 제3입력단으로 공급되고, 상기 배스 라인상의 신호와 제3기준신호의 차이는 상기 제4입력단 및 상기 제5입력단으로 공급되고, 상기 배스라인 상의 신호와 상기 제2기준신호의 차이는 상기 제4입력단 및 상기 제5입력단으로 공급되는 것을 특징으로 하는 입절력회료.

청구할 9

제8형에 있어서, 상기 제2기준신호는 상기 제1기준신호 및 상기 제3기준신호의 합의 정반인 것을 목짐으로 하는 만족력회로.

성구한 10

동시 양병향 입물력회로에서 하나의 업력신호와 세 기준선호롭로부터 데이터를 재생하는 방법에 있어서. 선택산호에 용답하여 상기 세 기준신호들중에서 제1기준신호 및 제2기준신호를 선택하거나 또는 상기 세 기준신호들중에서 상기 제2기준신호 및 제3기준신호를 선택하는 단계;

상기 제1기준신호 및 제2기준신호가 선택되는 경우, 상기 입력신호와 상기 제1기준신호의 차이를 증축하 더 상기 입력신호를 재생하거나 또는 상기 입력신호와 상기 제2기준신호의 차이를 증축하여 상기 입력신호을 지생하는 단계; 및

소기 제2기준신호 및 제3기준신호가 선택되는 경우, 상기 입력신호와 상기 제2기준신호의 차이를 증축하여 상기 입력신호을 재생하거나 또는 상기 압력신호와 상기 제3기준신호의 차이를 증축하며 상기 압력신호을 재생하는 단계를 구비하는 것을 특징으로 하는 데이터 재생병법.

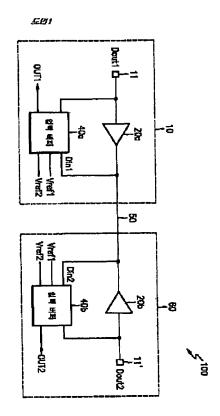
원구함 11

제10항에 있어서, 상기 입력신호는 상기 동시 양방향 입출력회로의 외부로부터 입력되는 신호인 것을 목 장으로 하는 데미터 재생왕법.

左鹰

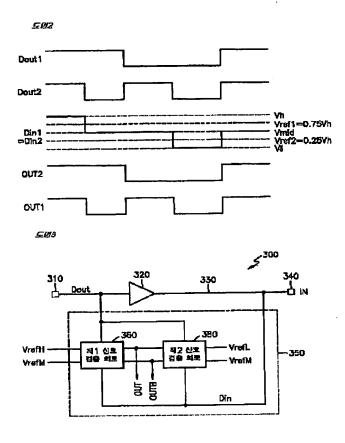
[참부그림 9]

10-2004-0026576



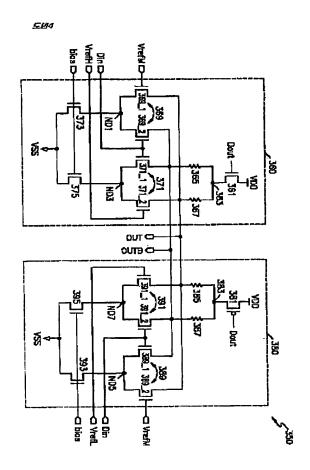
[첨부그림 10]

10-2004-0026576



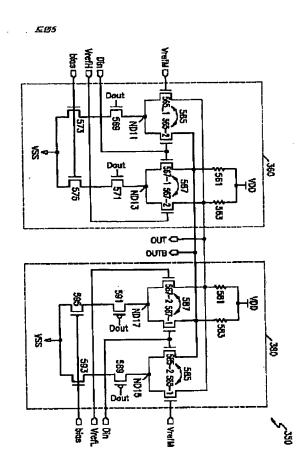
------------[첨부크림-11]----

10-2004-0026576



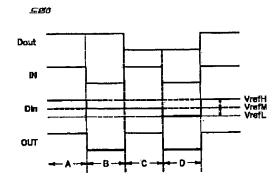
[첨부그림 12]

10-2004-0026576



[정부글림 13]

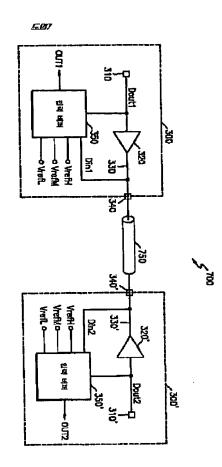
10-2004-0026676



BEST AVAILABLE COPY

[첨부그링 14]

10-2004-0026576



BEST AVAILABLE COPY

--- [첨부그림 15]

10-2004-0026576

